

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-238653

(43)Date of publication of application : 04.10.1988

(51)Int.Cl.

G06F 15/16
G06F 15/347

(21)Application number : 62-298606

(71)Applicant : NIPPON TELEGR & TELEPH CORP
<NTT>

(22)Date of filing : 26.11.1987

(72)Inventor : TAKAHASHI JUNICHI
KIMURA TAKASHI

(30)Priority

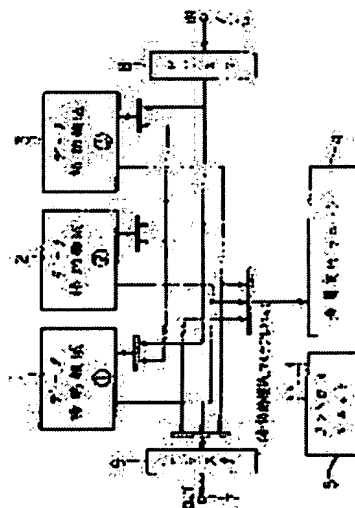
Priority number : 61280848 Priority date : 27.11.1986 Priority country : JP

(54) DATA PROCESSOR AND ITS PROCESSING METHOD

(57)Abstract:

PURPOSE: To improve a processing speed by switching each of three data store areas exclusively and circularly to each other to states for a data reception, for a data transmission, and for write/read-out of a data operation, and executing in parallel data reception, data transmission and data operation processings.

CONSTITUTION: Each data store area 1W3 for a data reception for receiving a data from the outside through a data receiving terminal 6, a data transmission for transmitting the data to the outside through a data transmitting terminal 7, and a data operation processing for supplying the data to an operation executing unit 4 and receiving a result of operation are provided so that they can be switched exclusively and circularly to each other, to states for a data reception, for a data transmission, and for a data operation processing. In this state, by controlling the switching of each part of the data reception, the data transmission and the data operation processing of each data store area 1W3, a data transfer processing between data processors and a data operation processing by each data processor can be executed in parallel. In such a way, the processing speed is improved.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭63-238653

⑤Int.Cl.⁴G 06 F 15/16
15/347

識別記号

3 9 0

庁内整理番号

Z-6745-5B
T-7056-5B

④公開 昭和63年(1988)10月4日

審査請求 未請求 発明の数 3 (全21頁)

⑭発明の名称 データ処理装置とその処理方法

⑰特 願 昭62-298606

⑱出 願 昭62(1987)11月26日

優先権主張 ⑳昭61(1986)11月27日㉑日本(JP)㉒特願 昭61-280848

⑳発 明 者 高 橋 淳 一 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉑発 明 者 木 村 隆 東京都千代田区内幸町1丁目1番6号 日本電信電話株式会社内

㉒出 願 人 日本電信電話株式会社 東京都千代田区内幸町1丁目1番6号

㉓代 理 人 弁理士 星野 恒司 外1名

明 細 書

1. 発明の名称

データ処理装置とその処理方法

2. 特許請求の範囲

(1) 3つのデータ格納領域を具え、上記3つのデータ格納領域の各々は、データ受信端子を介して外部からデータを受信する手段、データ送信端末を介して外部へデータを送信する手段および演算実行ユニットへのデータの供給並びに演算結果の受取りを行なうための手段をそれぞれもち、上記3つのデータ格納領域の各々は、互いに排他的且つ循環的に、データ受信用、データ送信用、データ演算の番込み、読出し用の状態に切り換わる事がそれぞれでき、

さらに、上記の状態切り換えを制御する手段と、

上記のデータに基いて所望の演算を実行する手段と、

上記の演算を制御する手段と

を具えたことを特徴とする並列データ処理装置。

(2) 3つのデータ格納領域の各々を循環的且つ排他的に、データ受信用、データ送信用、データ演算用の3状態に順次切り換え、データ受信用のデータ格納領域への外部からのデータの受信、データ送信用のデータ格納領域からの外部へのデータの送信、およびデータ演算用のデータ格納領域と演算ユニットとのデータ授受によるデータ演算処理、とを並列に実行することを特徴とする並列データ処理方法。

(3) 3つのデータ格納領域の各々を、循環的且つ排他的に、データ受信用、データ送信用、データ演算用の3状態に順次切り換える状態Aと、前記の3つのうちの2つのデータ格納領域をデータ演算番込み専用およびデータ演算読出し専用とする状態Bを交互に切り換え、上記3つのデータ格納領域の各々をデータ演算用(状態A)、データ演算の番込み専用(状態B)、データ送信用(状態A)、ノーオペレーション(状態B)、データ受信用(状態A)、データ演算の読出し専用(状態B)、続いてデータ受信用(状態A)と6状態に順次循

順的に切換え、データ受信、データ送信、データ演算処理を並列に実行することを特徴とする並列データ処理方法。

3. 発明の詳細な説明

(発明の属する技術分野)

本発明は、データ処理装置間でのデータ通信を伴うシステムのデータ処理において、データ処理装置間のデータ転送処理と各データ処理装置でのデータ演算処理とを並列に行なうための技術に関するものである。

(従来の技術)

従来、データ処理装置間でのデータ通信を伴うシステムのデータ処理の一例としての、アレイプロセッサにおけるデータ演算処理では、処理要素間のデータ転送処理において、データ送・受信及びデータ演算処理は処理要素の共通のデータ格納領域(メモリ等)を使っていたため、処理要素間のデータ授受を待ってデータ演算処理を実行しなければならなかった。

そのため、データ転送とデータ演算処理を交互

に繰り返す行わなければならなかった。特に、ベクトルデータの転送を伴う行列乗算等の処理では転送データ量が多いため、アレイプロセッサの処理速度は処理要素間のデータ転送のオーバーヘッドにより低下するという欠点があった。

例えば、第16図に示すようなアレイプロセッサで、行列A、Bの乗算処理を実行する場合について説明する。

各処理要素は、行列Aの成分データの受信、送信及びデータ演算処理用に共通のデータ格納領域をもち、また、行列Bの成分データの受信及び演算ユニットへのデータ供給及び演算結果の受け取り用のデータ格納領域をもつ。

(l, m) 行列A, (m, n) 行列Bを

$$A = (a_{11}', a_{12}', \dots, a_{1m}', \dots, a_{lm}')'; (1 \leq i \leq l)$$

$$B = (b_{11}, b_{12}, \dots, b_{1m}, \dots, b_{1n}); (1 \leq j \leq n)$$

と定義すると、行列 $C = A \times B$ の j 列ベクトル c_j は

$$c_j' = (c_{1j}, c_{2j}, \dots, c_{lj}, \dots, c_{mj})$$

$$= (a_{11} \cdot b_{1j}, a_{12} \cdot b_{1j}, \dots, a_{1m} \cdot b_{1j}, \dots, a_{lm} \cdot b_{1j})$$

で表わされる。

従って、行列Aを表わすベクトルデータ列(a_i)と行列Bを表わすベクトルデータ列(b_j)を第16図に示すようなデータフローに従ってアレイプロセッサに入力することによって、各処理要素において行列Cの各成分をパイプライン処理で計算できる。

$l = 5, n = 5$ の場合の処理動作例を第17図Aないし第17図Cに示す。

この例では、データ授受とデータ演算処理のデータ格納領域を共有しているため、処理要素間のベクトルデータの転送とベクトルデータ間の内積演算はシリアルに行われる。

例えば、時刻3においては、PE1はデータ a_2 を入力すると同時にそれまで保持していたデータ a_1 をPE2に転送する。さらに、ベクトルデータ b_1 を入力する。

PE2はこれと同時にPE1からデータ a_1 を受信し、外部からベクトルデータ b_2 を入力する。

時刻4においては、時刻3で入力したデータに対して内積演算処理を実行する。上記のような処

理では、処理要素間のデータ転送に要する時間がオーバーヘッドになり、処理の高速化が図れない。

(発明の目的)

本発明の目的は、上記のようなデータ処理装置間でのデータ通信を伴うシステムのデータ処理において、データ処理装置間のデータ転送処理と各データ処理装置でのデータ演算処理とを並列化し、データ処理装置間のデータ転送に要する時間のオーバーヘッドを低減し、上記のシステムの並列処理の高効率化を達成できるデータ処理装置を提供することにある。

(発明の構成)

本発明装置は、

- 1) データ受信端子を介して外部からデータを受信するデータ受信用のデータ格納領域、
- 2) データ送信端子を介して外部へデータを送信する送信データ用のデータ格納領域、
- 3) 演算実行ユニットに対するデータの供給並びに演算結果の受取りを行うためのデータ演算処理用のデータ格納領域をもち、

上記の各データ格納領域は互いに排他的かつ循環的にデータ受信用、データ送信用、データ演算処理用に切り換わることができ、

上記の各データ格納領域のデータ受信、データ送信、データ演算処理の各役割の切り換えを制御する手段と、

所望の演算を実行する手段と、

演算内容を制御する手段を有するデータ処理装置であって、データ処理装置間のデータ通信を伴うシステムでのデータ処理におけるデータ通信時間のオーバーヘッドを低減し、処理速度の向上を図るものである。

(実施例)

以下、本発明の実施例の図面を用いて、発明を詳細に説明する。

[実施例1]

(l, m) 行列 A と (m, n) 行列 B の乗算を一次元アレイプロセッサで処理する例を示す。

行列 A, B を

$$A = (a_{11}', a_{12}', \dots, a_{1m}', \dots, a_{l1}', \dots, a_{lm}')'; (1 \leq i \leq l)$$

いて第2図A、第2図Bに示す。上記のアレイプロセッサに入力されるデータは、ベクトル列 $(a_{11}, a_{12}, \dots, a_{1m})$ 及びベクトルデータ列 $(b_{11}, b_{12}, \dots, b_{1m})$ である。

第3図は本発明を処理要素の構成にもつて実施例を概略的に示すブロック図であり、1, 2, 3はデータ格納領域、4は演算実行ユニット、5はコントロールユニット、6はデータ受信端子、7はデータ送信端子、8, 9はレジスタを示す。

各処理要素は、本発明の構成であるデータ受信用、データ送信用、データ演算処理用のデータ格納領域をもち、それらの容量は各ベクトルデータを格納できる大きさ、すなわち、 m 個のデータ格納領域をもち、

各処理要素はまた、ベクトルデータ列 $(b_{11}, b_{12}, \dots, b_{1m})$ の各ベクトルデータ並びに演算途中結果を格納するためのデータ格納領域をもち、内積演算を実行する手段、データ授受並びに上記のデータ格納領域の各々のデータ受信、データ送信、データ演算処理の各役割を制御する手段をもつ。

$B = (b_{11}, b_{12}, \dots, b_{1m}, \dots, b_{n1}, \dots, b_{nm}); (1 \leq j \leq n)$ と定義する。ここで、 a_{ij}, b_{ij} はそれぞれ行ベクトル、列ベクトルで

$$a_{ij} = (a_{i1}, a_{i2}, \dots, a_{i1}, \dots, a_{im})$$

$$b_{ij} = \begin{pmatrix} b_{1j} \\ b_{2j} \\ \vdots \\ b_{mj} \\ \vdots \\ b_{nj} \end{pmatrix} \quad \text{で表わされ、} a_{ij}' \text{ は } a_{ij} \text{ の転置ベクトルを表わす。}$$

置ベクトルを表わす。

行列 $C = A \times B$ 、 C の (i, j) 成分を c_{ij} で表わすとする

$$c_{ij} = \sum_k a_{ik} b_{kj} = a_{ij}' \cdot b_{ij} \quad (\cdot \text{ は内積演算})$$

である。

行列 C の j 列ベクトルを

$$c_j' = (c_{1j}, c_{2j}, \dots, c_{ij}, \dots, c_{nj}); (1 \leq j \leq n)$$

と定義すると、

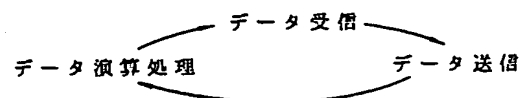
$$c_j' = (a_{11} \cdot b_{1j}, a_{12} \cdot b_{1j}, \dots, a_{i1} \cdot b_{1j}, \dots, a_{n1} \cdot b_{1j})$$

である。

第1図に示す n 個の処理要素からなる一次元アレイプロセッサで、行列 C を求める場合のアレイプロセッサの処理動作を、 $l = n = 5$ の場合につ

第2図A、第2図Bの動作例では、各ベクトルデータ列を互いに同期させて、各処理要素にパイプライン転送する規則的なデータフローにより、各処理要素は並列に行列 C の各成分の演算処理を行う。

各処理要素の各データ格納領域は、各時刻毎に第6図に示されるように、次のような循環的な各役割の切り換えを行う。(ここで、時刻の単位は行列 C の各成分計算またはベクトルデータ転送に要する時間とする。)



具体的に、時刻3, 4, 5でのPE1の3面のデータ格納領域の処理動作について説明する。

時刻3において、データ受信用でベクトルデータ a_{1j} を受信したデータ格納領域は、時刻4でデータ送信用になり、このデータをPE2に転送する。また、時刻5においてデータ演算処理用になり、このデータ a_{1j} と時刻1において入力し、保

持されたベクトルデータ b_1 との内積演算処理に使われる。

一方、他の2つのデータ格納領域は、時刻3において、それぞれベクトルデータ a_1 とベクトルデータ b_1 との内積演算処理用のデータ格納領域(データ演算処理用)、時刻2で受信したベクトルデータ a_2 をPE2へ転送するデータ送信用のデータ格納領域(データ送信用)である。

また、時刻4においては、それぞれベクトルデータ a_1 のデータ入力用のデータ格納領域(データ受信用)、ベクトルデータ a_2 とベクトルデータ b_1 との内積演算処理用のデータ格納領域(データ演算処理用)である。

時刻5においては、それぞれベクトルデータ a_1 をPE2へ転送するデータ送信用のデータ格納領域(データ送信用)、ベクトルデータ a_2 の入力用のデータ格納領域(データ受信用)として使用される。

このような行列乗算の処理では、本発明のデータ受信、データ送信、データ演算処理の3つの役

割が互いに排他的かつ循環的に切り換わるようなデータ格納領域の構成により、常に処理要素内での内積演算処理と処理要素間のデータ転送処理を並列に実行でき、アレイプロセッサでの処理要素間のデータ転送に要する時間のオーバーヘッドを低減して効率的な処理が達成できる。

以下、本実施例による効果を定量的に評価する。

内積演算処理に要する時間を t_p 、ベクトルデータ a_1 または b_1 の入力または転送に要する時間を t_{tr} 、アレイプロセッサ全体で演算処理を開始するまでに必要となるデータの初期ロードに要する時間を t_o と定義すると、 (l, m) 行列Aと (m, n) 行列Bの乗算処理に要する時間Tは、

$$T = t_o + (l + n) \times \max[t_p, t_{tr}] \quad (1)$$

で表わされる。ここで、 $\max[x, y]$ は x, y のうちの最大値を表わす。 $t_p \geq t_{tr}$ の場合には、式(1)は $T = t_o + (l + n)t_p$ であり、データ転送処理が演算処理に隠され、総時間は演算処理時間だけに依存する。

また、 $t_p < t_{tr}$ の場合には、

式(1)は $T = t_o + (l + n)t_{tr}$ であり、データ演算処理がデータ転送処理に隠され、総時間はデータ転送処理だけに依存する。

演算処理とデータ転送をシリアルに実行する手段、すなわち、データ転送用のデータ格納領域とデータ演算処理用のデータ格納領域を共有し、データ転送用とデータ演算処理用の各役割を時分割して用いる従来の技術では行列の乗算処理に要する総時間 T' は、

$$T' = t_o' + (l + n) \times (t_p + t_{tr}) \quad (2)$$

で表わされる。

式(1)、(2)より

$$\frac{T'}{T} = \frac{t_o' + (l + n) \times (t_p + t_{tr})}{t_o + (l + n) \times \max[t_p, t_{tr}]} \quad (3)$$

式(3)の分母、分子の第一項の t_o', t_o は第二項に比べて無視できるとすると、

$$\frac{T'}{T} = \frac{t_p + t_{tr}}{\max[t_p, t_{tr}]} = \begin{cases} 1 + \frac{t_{tr}}{t_p} & (t_p \geq t_{tr}) \\ 1 + \frac{t_p}{t_{tr}} & (t_p < t_{tr}) \end{cases} \quad (4)$$

である。

従って、式(4)より $T \leq T'$ であり、本発明の構成により、従来よりも高速の処理を達成できる。

$t_p \geq t_{tr}$ の場合には、従来の2倍の処理速度向上を実現でき得る。

次に、コントロールユニットの具体例について説明する。

コントロールユニットのブロック回路図を第5図に示す。なおこのコントロールユニットは本発明の全実施例に共通する。Address Counter 1, 2, 3は、各データ格納領域①, ②, ③をアドレスリングするカウンタで、Base Address Reg. 1, 2, 3はこれらのAddress Counterのアドレス値との比較対象となるデータを保持するレジスタである。各Address Counterと対応するBase Address Reg.との値は、一致検出回路によって比較される。各一致検出回路は、アドレス値の一致を示すフラグを発生する。各一致検出回路の出力するフラグは、各データ格納領域の役割に対応して、データ送信、データ受信、データ演算用の各格納領域に対するデータの授受動作状態を表わすフラグとして定義でき、各マルチプレクサは、各々データ送信状態、データ受信状態のフラグを切

換え、これを送信状態フラグ(SF)、受信状態フラグ(RF)としてモードコントロール制御回路に送る。これらのフラグは、データ送信または、受信状態にあるデータ格納領域がデータの送信または、受信を完了したことを示すものである。

詳細には、各 Address Counter に送信または受信するデータ群の初期アドレスを、対応する Base Address Reg. にその最終アドレスを設定し、Counter はデータを1つ送信または受信するごとにインクリメントし、この値が Base Address Reg. に一致したところでインクリメント動作を終了し、一致のフラグが検出され、送信または受信が完了する。

モードコントロール制御回路は、各データ格納領域の役割状態を制御する。

制御信号MC (Mode Change Signal) は、各データ格納領域の役割遷移を起動する信号であり、ST3, ST6はそれぞれ、三状態循環状態遷移、六状態循環状態遷移(後述する)の各過程を指定する制御信号である。制御信号Pn, Rn, Sn

格納領域①の状態はレジスタ11, 14、②の状態はレジスタ12, 15、③の状態はレジスタ13, 16、の各レジスタ値によって定義される(データ演算用に対しては“11”、データ受信用に対しては“10”、データ送信用に対しては“01”)。また、このレジスタ群において、①は、リセット時に初期値“1”を保持し、②は“0”を保持するレジスタである。レジスタ11~13、レジスタ14~16は、シフトレジスタとして動作する。

第7図にデコーダ回路の論理図を示し、第8図、第9図に三状態循環遷移制御、六状態循環遷移制御におけるモードコントロール回路の動作のタイムチャートを示す。

第8図において、各データ格納領域の状態値を示すシフトレジスタは、制御信号MCが1マシンサイクル入ごとにシフト動作し、各データ格納領域の状態を示す信号BMn (n=1, 2, 3) が互いに排他的に変化し、三状態循環遷移を実現する。

第9図においては、各データ格納領域の状態値

(n=1, 2, 3)は、それぞれのデータ格納領域(n=1の時は①, n=2の時は②, n=3の時は③)のデータ演算用、データ受信用、データ送信用の役割状態に示す信号である。制御信号MDFは六状態循環遷移の制御を行う信号である。

デコーダ回路は、モードコントロール制御回路から各データ格納領域の役割状態を示す制御信号とデータ演算処理時のデータ格納領域の書き込み、読出しを示す制御信号WR, RD及びデータ送・受信時の書き込み、読出しを示す制御信号ASWR, ASRDとから個々のデータ格納領域のデータ読出し、書き込みイネーブル信号RENn, WENn (n=1, 2, 3)を発生する。

第6図に、モードコントロール回路の詳細論理図を示す。

BMn (n=1, 2, 3)は、各データ格納領域の役割状態を表し、Pn, Sn, Rn (n=1, 2, 3)のいずれかが、“High”であることを示す。レジスタ11~16は、各データ格納領域①, ②, ③の役割状態値を制御するレジスタ群で、データ

を示すシフトレジスタは、制御信号MCが2マシンサイクル入ごとに1回シフト動作し、制御信号MDFは、制御信号MCが1マシンサイクル入ごとにセットまたはリセットされる。制御信号MDFが“Low”の時は、各データ格納領域の状態は、BMn (n=1, 2, 3)の値により定義し、MDFが“High”の時は、BMn=Pnのデータ格納領域をデータ演算のデータ読出し専用、BMn=Snのデータ格納領域をデータ演算のデータ書き込み専用の役割状態として定義することにより、二面のデータ格納領域をデータ演算の読出し、書き込み専用に割当てた状態と、各々のデータ格納領域をそれぞれデータ演算用、データ受信用、データ送信用に割当てた状態とをMCが1マシンサイクルごとに交互に切換え、六状態循環遷移を実現する。

【実施例2】

たたみ込み演算を一次元アレイプロセッサで実行する例を示す。

重み係数データ列を $W=(w_1, w_2, \dots, w_k)$,

入力データ列を $X = (x_1, x_2, \dots, x_n)$ とすると、たたみ込み演算は

$$y_i = w_1 x_i + w_2 x_{i+1} + \dots + w_k x_{i+k-1}$$

で表わされる。

本実施例に対する本発明の構成を第5図に示す。処理要素は第3図の構成をもつ。ここで、データ受信、データ送信、データ演算処理用の各役割を担うデータ格納領域はレジスタである。

第10図に示すような k 個の処理要素からなる一次元アレイプロセッサでのたたみ込み演算処理の動作を、 $k=5$ 、 $n=7$ の場合について第11図A、第11図Bに示す。

ここで、各処理要素は本発明の構成である上記の3種類の役割を担うデータ格納領域(この例では、各データがスカラーデータであるので、各データ格納領域はレジスタでよい)をもち、乗算及び加算の機能、各データ格納領域の処理モード及びデータ授受の制御手段をもつ。

また、入力データ X のデータ格納領域をもち、この格納領域は外部からのデータ入力とデータ演

算(信用)として使用される。

また、時刻5においては、それぞれ、データ受信用でのデータ w_1 の入力用、データ演算処理用での y_1 の成分 $w_1 x_1$ の乗算処理用として使用される。

時刻6においては、それぞれ時刻5で入力したデータ w_1 をデータ送信用でPE2に送信、データ受信用で空データの受信用として使用される。入力データ列 X は、各時刻毎に全処理要素に同時転送される。

上記のように、たたみ込み演算処理では、本発明のデータ受信、データ送信、データ演算処理の3種類の役割が互いに排他的かつ循環的に切り換わる。

データ格納領域の構成により、常に処理要素での y_i の成分計算と処理要素間のデータ転送処理が並列に実行でき、アレイプロセッサ上で処理要素間のデータ転送のオーバーヘッドなく、 y_i の演算がパイプライン並列処理で実現できる。

演算結果は時刻7、8、9において、それぞれ

算処理用に同時に用いることができるものとする。

さらに、演算途中結果の格納、保持する手段をもつものとする。

各々データ格納用レジスタは、データ受信、データ送信、データ演算処理の各役割を互いに排他的かつ循環的に切り換えることができる。

具体的に、時刻4、5、6でのPE1の各データ格納用レジスタの動作について説明する。

時刻4において、データ受信用で w_1 を受信したデータ格納用レジスタは、時刻5においてデータ送信用になりデータ w_1 をPE2に送信する。

また、時刻6において、データ演算処理用になり、時刻4で入力し、保持されている x_1 との乗算用で使用される。ここで、時刻5で入力データ x_1 を入力した入力データ用格納領域は、時刻6でデータ演算処理用として使用される。

一方、他の2つのデータ格納用レジスタは、時刻4においてそれぞれ y_1 の成分 $w_2 x_2$ の乗算処理用(データ演算処理用)、時刻3で入力したデータ w_2 をPE2へ転送するデータ転送用(データ送

PE1では y_1 、PE2では y_2 、PE3では y_3 が得られる。

以下、本実施例の効果を定量的に示す。データ w_p ($1 \leq p \leq k$) を入力、転送するために要する時間を $t_{1,p}$ 、各処理要素で乗算 $w_p x_{i,p-1}$ 及びこの時刻までの計算結果 $\sum_{r=1}^{p-1} w_r x_{i,r-1}$ とこの乗算結果の加算に要する時間を t_p とすると、結果 y_i を求めるためにかかる総時間 T は、

$$T \approx t_0 + (k + (n + 1 - k)) \times \max[t_{1,r}, t_p] \\ = t_0 + (n + 1) \times \max[t_{1,r}, t_p] \dots \dots (5)$$

で表わされる。ここで、 t_0 は初期データロードに要する時間であり、 $\max[x, y]$ は x, y のうちの最大値を表わすものとする。

本実施例に示すたたみ込み演算処理では、処理要素間のデータ転送は1個のスカラーデータ転送であるので、 $t_{1,r} < t_p$ である。従って、

$$T \approx t_0 + (n + 1) \times t_p \dots \dots \dots (6)$$

従来の演算処理とデータ転送をシリアルに行う技術では、総時間 T' は

$$T' \approx t_0' + (n + 1)(t_p + t_{1,r}) \dots \dots (7)$$

である。

式(6), (7)より,

$$\frac{T'}{T} = \frac{t_p + t_{tr}}{t_p} = 1 + \frac{t_{tr}}{t_p} \dots \dots \dots (8)$$

式(8)より、 $T < T'$ であり、本発明の構成により処理速度は $(1 + \frac{t_{tr}}{t_p})$ 倍向上する。

【実施例3】

音声認識処理のDP(ダイナミックプログラミング)に基づくパターンマッチング処理におけるベクトル距離計算を、本発明の構成を搭載した処理要素(PE)から成る一次元アレイプロセッサで実行する例を示す。

このベクトル距離計算(以後、d計算と呼ぶ)は、

$$d_{ij} = \sum_k |u_i^k - r_j^k|^2$$

で表される。ここで、 i, j は、マッチングする入力パターンデータ時系列(u_i)の第*i*フレーム、標準パターンデータ時系列(r_j)の第*j*フレームを表し、 k は各ベクトルデータの次数を表す。

具体例として、 $i = 5, j = 5$ の場合をPE数

標準パターンベクトルデータ r_5 をデータ受信状態のデータ格納領域に受信し、これと並行して時刻 $t+5$ でPE2から受信した標準パターンベクトルデータ r_5 をPE4に送信する。また、このPE間データ転送と並行して時刻 $t+3$ において受信した標準パターンベクトルデータ r_5 と時刻 $t+2$ においてバスからワーキング用のデータ格納領域に入力した入力パターンベクトルデータ u_5 とのベクトル距離計算処理(d_{55})を実行する。

PE3の三面の各データ格納領域の役割状態は、

	時刻 $t+4$	時刻 $t+5$	時刻 $t+6$
データ格納領域①の役割状態遷移:	データ演算処理 (d_{55} の計算)	データ送信 (r_5 の送信)	データ受信 (r_5 の受信)
データ格納領域②の役割状態遷移:	データ受信 (r_5 の受信)	データ演算処理 (d_{55} の計算)	データ送信 (r_5 の送信)
データ格納領域③の役割状態遷移:	データ送信 (r_5 の送信)	データ受信 (r_5 の受信)	データ演算処理 (d_{55} の計算)

のように互いに排他的に切り換わる。

各PEは、各時刻において同一の処理を行なう。

以上のように、互いに排他的かつ循環的に三状態の役割を切り換えることができる三面のデータ格納領域構成によって、PE間のデータ転送をデ

$= 5$ の一次元アレイプロセッサで処理する場合について説明する。

各PEで実行するd計算の処理フローを第12図Aないし第12図Cに示す。各PEは、三面のデータ格納領域の他に演算実行ユニットとのデータ授受を行なうことのできるワーキング用のデータ格納領域をもち、外部のバスからデータを入力することができる。

各PEは、バスから標準パターンデータを入力してこれをワーキング用のデータ格納領域に格納し、三面のデータ格納領域構成を使ったパイプライン処理によって入力パターンデータを入力する。この処理フローは、一つのd計算に要する処理時間を時刻単位として示されており、各PEの三面のデータ格納領域の役割に各時刻毎に互いに排他的にかつ循環的にデータ受信用、データ送信用、データ演算処理用に切り換わる。PE3の時刻 $t+6$ におけるd計算を例に、詳細な処理を説明する。

時刻 $t+6$ において、PE3は、PE2から標

データ演算処理に隠すことができ、データ転送のオーバーヘッドのない高速なDPに基づくパターンマッチングの並列ベクトル距離計算が実現できる。

【実施例4】

この実施例においては、3つのデータ格納領域の各々を循環的且つ排他的に、データ受信用、データ送信用、データ演算処理用の3状態に順次切り換える状態Aと、前記3つのうちの2つのデータ格納領域をデータ演算書き込み専用およびデータ演算読出し専用とする状態Bを交互に切換え、上記の3つのデータ格納領域の各々をデータ演算処理用(状態A)、データ演算の書き込み専用(状態B)、データ送信用(状態A)、ノーオペレーション(状態B)、データ受信用(状態A)、データ演算の読出し専用(状態B)、続いてデータ受信用(状態A)と6状態に順次循環的に切換え、データ受信、データ送信、データ演算処理を並列に実行する。

音声認識処理のDP(ダイナミックプログラミング)に基づくパターンマッチング処理における

累積距離計算を、本発明の構成を搭載した処理要素 (PE) から成る一次元アレイプロセッサで実行する例を示す。

この累積距離計算 (以後、 g 計算と呼ぶ) は、

$$g_{i,j} = d_{i,j} + \min \begin{cases} g_{i-2,j-1} + 2d_{i-1,j} & \dots\dots(1) \\ g_{i-1,j-1} + d_{i,j} & \dots\dots(2) \\ g_{i-1,j-2} + 2d_{i,j-1} & \dots\dots(3) \end{cases}$$

$$l_{i,j} = \begin{cases} l_{i-2,j-1} + k_1 & \text{if (1)} \\ l_{i-1,j-1} + k_2 & \text{if (2)} \\ l_{i-1,j-2} + k_3 & \text{if (3)} \end{cases}$$

で表される。ここで、 i, j は、マッチングする入力パターンデータ時系列の第 i フレーム、標準パターンデータ時系列の第 j フレームを表す。

具体例として、 $i = 5, j = 5$ の場合を PE 数 = 5 の一次元アレイプロセッサで処理する場合について説明する。

各 PE で実行する g 計算の処理フローを第14図 A に示す。各 PE は、三面のデータ格納領域の他に演算実行ユニットとのデータ授受を行なうことのできるワーキング用のデータ格納領域をもち、その一部の領域に距離値 $d_{i,j}$ のテーブルが格納

されているものとする。この処理フローでは、各 PE は、隣接する PE からその PE の g 計算に必要なデータ群を受信し、このデータとワーキング用のデータ格納領域に保持されているデータとを使って隣接する PE がその g 計算で必要とするデータ群を計算して、隣接する PE へ送信する。そして、各 PE は、このデータ送信と並行してその PE の g, d 値を計算する。

第14図 A において、

g, d : 対象となる g 値, d 値、

g^{-1}, d^{-1} : 一時刻前の g 値, d 値、

送信, 受信用の格納領域には、データ群 (n_j, p_a, l_a, p_c, l_c)、ワーキングの格納領域には、データ群 ($p_a, l_a, g^{-1}, l^{-1}, g_a, g_b, g_c$) 及び $d_{i,j}$ テーブルが格納される。

この PE の処理フローに従って、一次元アレイプロセッサでの g 計算の並行処理フローを第14図 B に示す。各 PE は第14図 A のステップ a ~ e をこの処理フローに従って実行するが、ある PE のステップ a, d は隣接する PE のステップ d, a

に相当するので、アレイプロセッサの処理では、隣接する PE の間でステップ a と d を対応させた並列処理が実行できる。すなわち、データ演算処理と並列に PE 間データ転送が実行できる。

この処理フローを本発明の構成で実行した場合を第15図 A ないし第15図 E に示す。

ここでは、 $D_{i-1,j}$ はデータ群を表し、

$$D_{i-1,j} = (n_j, g_{i-2,j-1} + 2d_{i-1,j} (=p_a), g_{i-1,j-1} (=p_c), d_{i-2,j-1} (=d_a), d_{i-1,j-1} (=d_c))$$

と定義する。

第15図 A ないし第15図 E は、一つの g 値を計算するのに要する時間を処理の時刻単位として処理フローを示している。PE 3 の時刻 $t + 4$ における $g_{3,3}$ の計算を例に、詳細な処理を説明する。

各 PE の三面のデータ格納領域は、各時刻に二つの役割状態をとる。すなわち、二面がそれぞれデータ演算処理用の読出し、書き込み専用に割当てられる状態、三面がそれぞれデータ送信, データ受信, データ演算処理用に割当てられる状態である。

時刻 $t + 4$ において、PE 3 は、データ演算処

理の読出し専用状態のデータ格納領域から時刻 $t + 3$ において PE 2 から受信したデータ $D_{2,3}$ を読出し、これと PE 3 内部のワーキングのデータ格納領域に格納されていたデータから、送信用のデータ $D_{3,3}$ を計算し、データ演算処理の書き込み専用の状態にあるデータ格納領域にこれを格納する。そして、三面のデータ格納領域をデータ送信用, データ受信用, データ演算処理用の状態にして、求めたデータ $D_{3,3}$ をデータ送信用のデータ格納領域 (書き込み専用の状態にあったデータ格納領域) から隣接する PE へ送信すると同時に、データ受信用の状態にあるデータ格納領域に時刻 $t + 5$ 計算に必要なデータ $D_{3,4}$ を受信する。さらに、これと並列に、データ演算処理用のデータ格納領域 (読出し専用の状態にあったデータ格納領域) からのデータとワーキング用のデータ格納領域からのデータを使って $g_{3,3}, d_{3,3}$ を計算し、時刻 $t + 4$ での g, d 計算を終了する。

$D_{2,3} = (n_3, g_{1,2} + 2d_{2,2}, g_{2,2}, d_{1,2}, d_{2,2})$ であり、ワーキング用のデータ格納領域には $g_{3,3}$

$+2d_{j,j}, d_{j,j}$ が格納されているので、 $e_{j,j}, d_{j,j}$ はこれらのデータにより求められる。

各時刻において、各PEは、上記と同様の処理を行なう。

以上のような各PEでの処理を、六つの役割状態の循環的な遷移をもつ三面のデータ格納領域構成を使って実行することにより、データ転送をデータ演算処理に随することができデータ転送によるオーバーヘッドのない高速なDPに基づくパターンマッチングの並列累積距離計算を実現できる。

(発明の効果)

本発明によれば、データ処理装置間でのデータ通信を伴うシステムのデータ処理において、データ処理装置間のデータ転送処理と各データ処理装置でのデータ演算処理の並列処理を可能とし、処理速度の向上を実現できる。

4. 図面の簡単な説明

第1図及び第2図A、第2図Bは、それぞれ行列の乗算処理において、本発明の実施例のアレイプロセッサの構成とその処理動作を示す。

第14図Aは、一次元アレイプロセッサの累積距離計算並列処理フローを、第14図BはPEの累積距離計算フローをそれぞれ示す。

第15図Aないし第15図Eは、本発明の構成で実行した場合の、累積処理計算の並列処理フローを示す。

第16図及び第17図Aないし第17図Cは、それぞれ、従来の技術を説明するためのアレイプロセッサの構成とその処理動作を示す。

1, 2, 3 … データ格納領域、4 … 演算実行ユニット、5 … コントロールユニット、6 … データ受信端子、7 … データ送信端子、8, 9 … レジスタ、11~16 … レジスタ、 $a_1 \sim a_n$ … 行列Aのベクトルデータ列、 $b_1 \sim b_n$ … 行列Bのベクトルデータ列、PE1~PEN … 処理要素、 $x_1 \sim x_n$ … 入力データ列、 $w_1 \sim w_n$ … 重み係数データ列。

第3図及び第4図は、本発明の実施例を概略的に示すブロック図とその状態の遷移を示す。

第5図は本発明の実施例のコントロールユニットのブロック回路図を示す。

第6図は本発明の第5図の実施例のモードコントロール回路の論理図を示す。

第7図は第5図の実施例のデコード回路の論理図を示す。

第8図は、モードコントロール回路の三状態循環遷移制御のタイムチャートを示す。

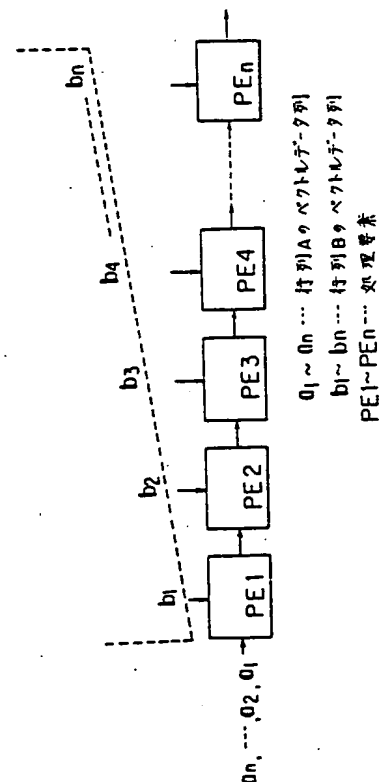
第9図は、モードコントロール回路の六状態循環遷移制御のタイムチャートを示す。

第10図及び第11図A、第11図Bはそれぞれ、たみ込み演算処理における本発明の実施例を説明するためのアレイプロセッサの構成とその処理動作を示す。

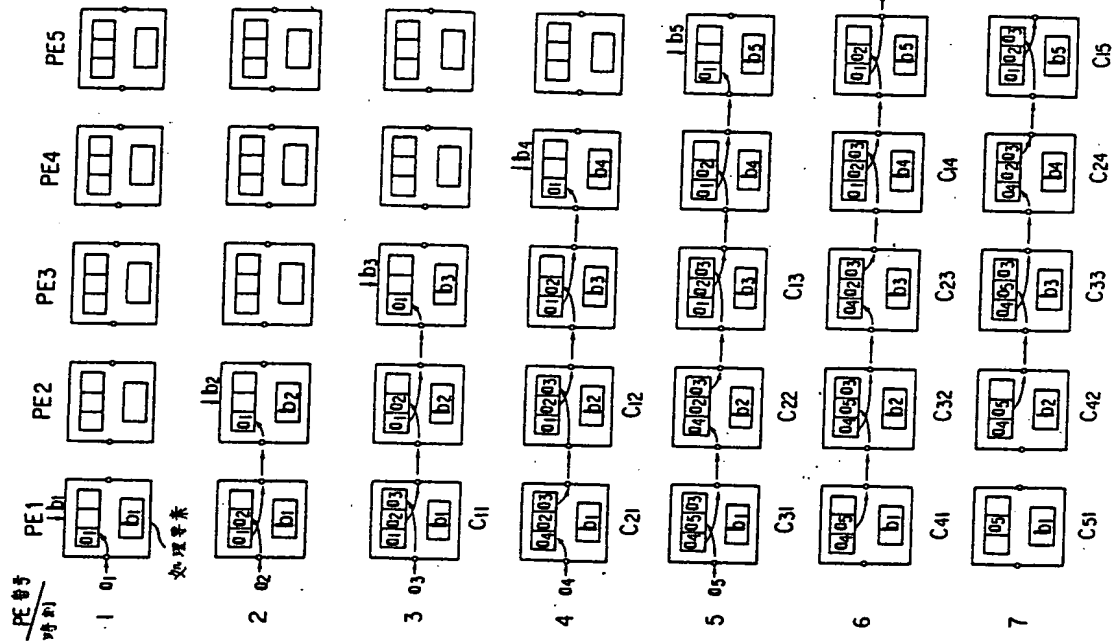
第12図Aないし第12図Cは、ベクトル距離計算の処理フローを示す。

第13図は、3つのデータ格納領域の六状態循環遷移を示す。

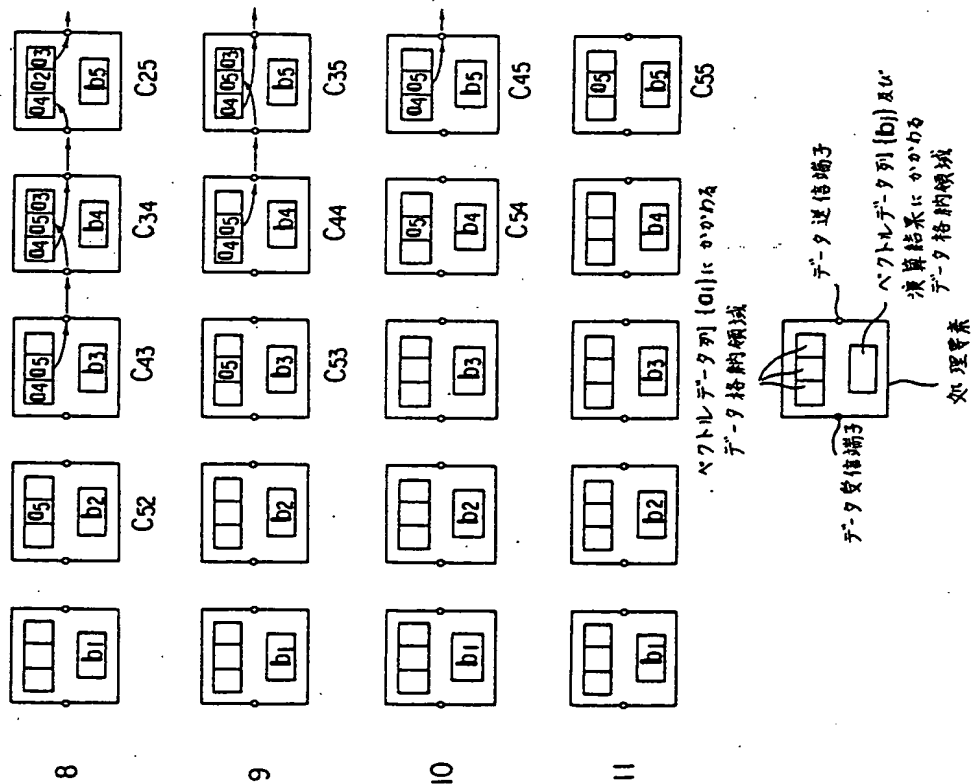
第 一 図



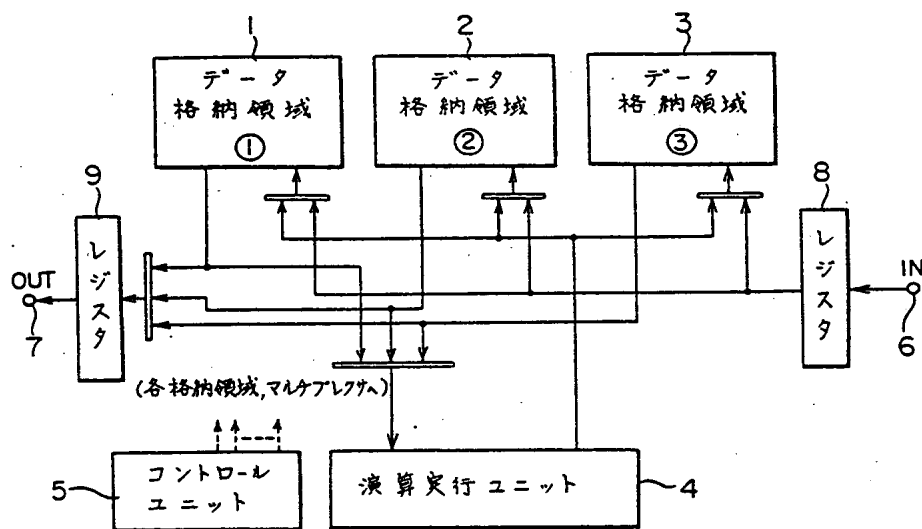
第 2 図
(A)



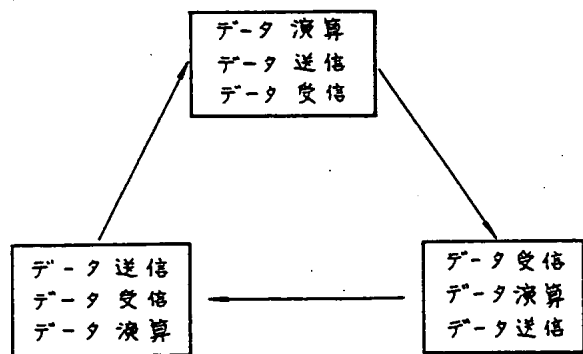
第 2 図
(B)



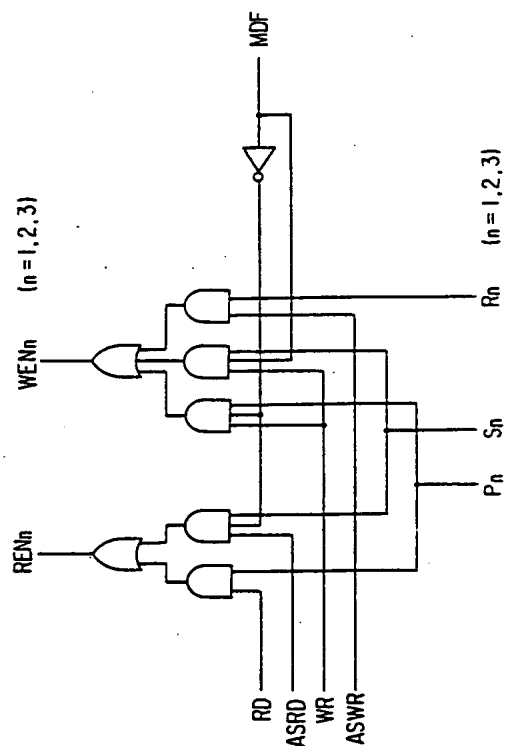
第 3 図



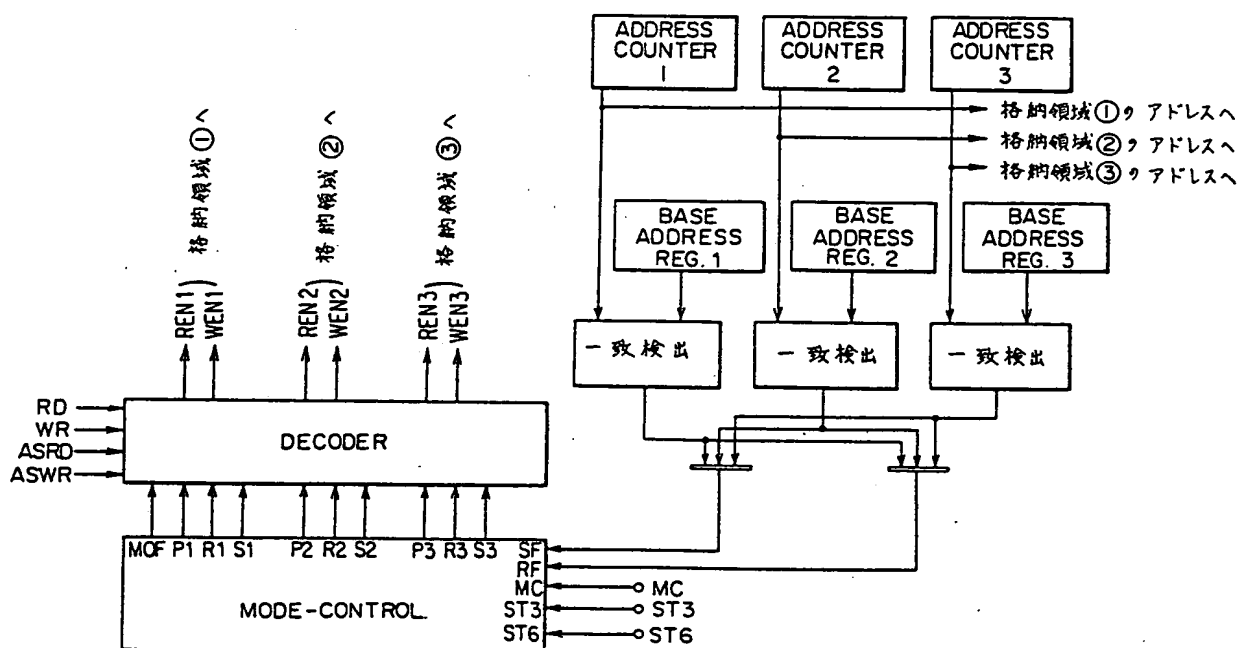
第 4 図



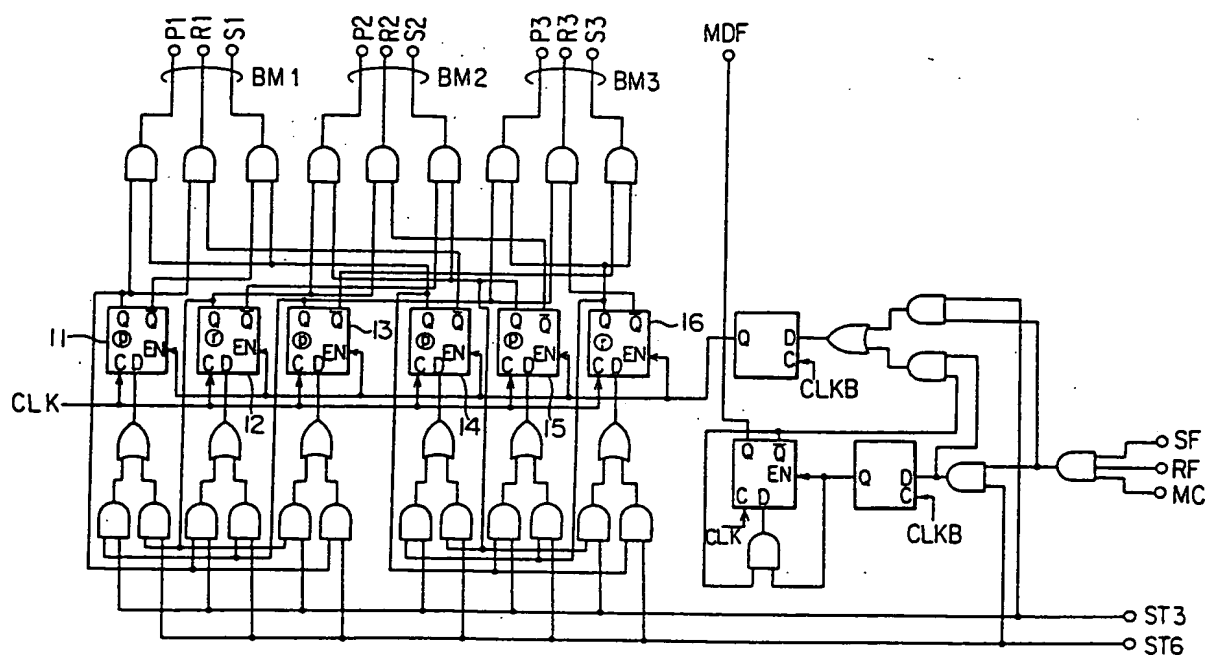
第 7 図



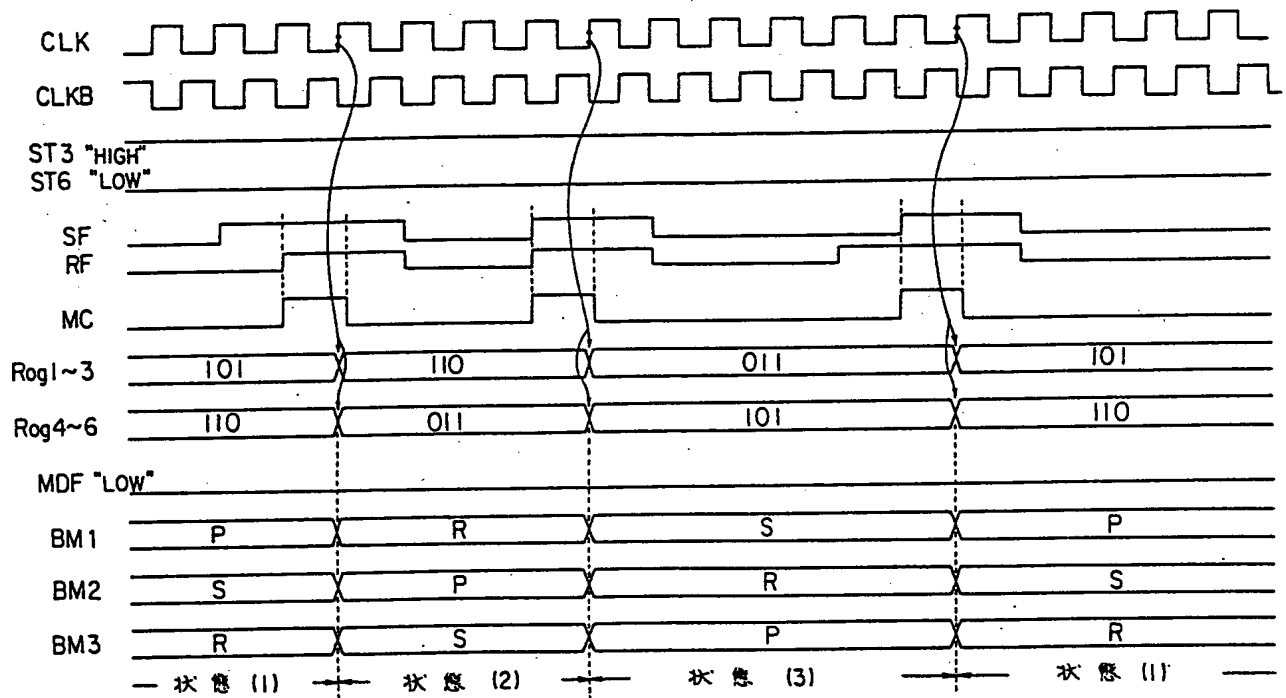
第 5 区



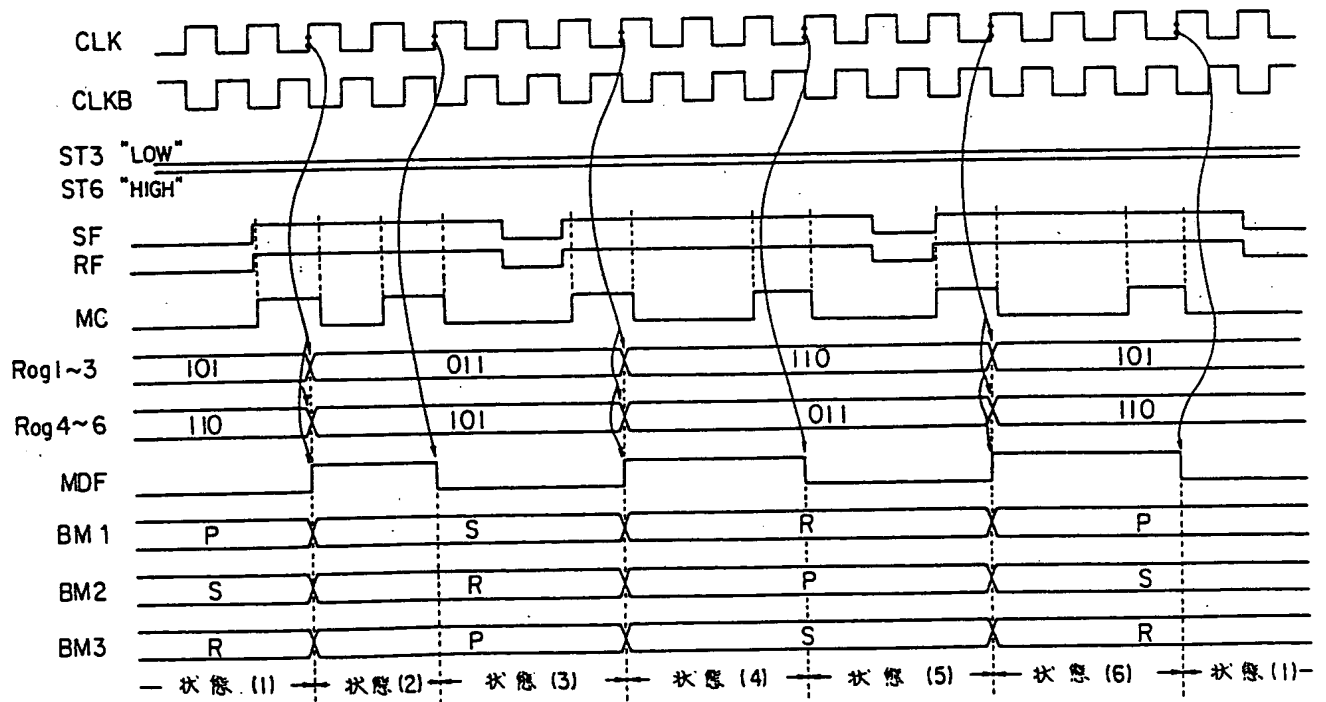
第 6 . 图



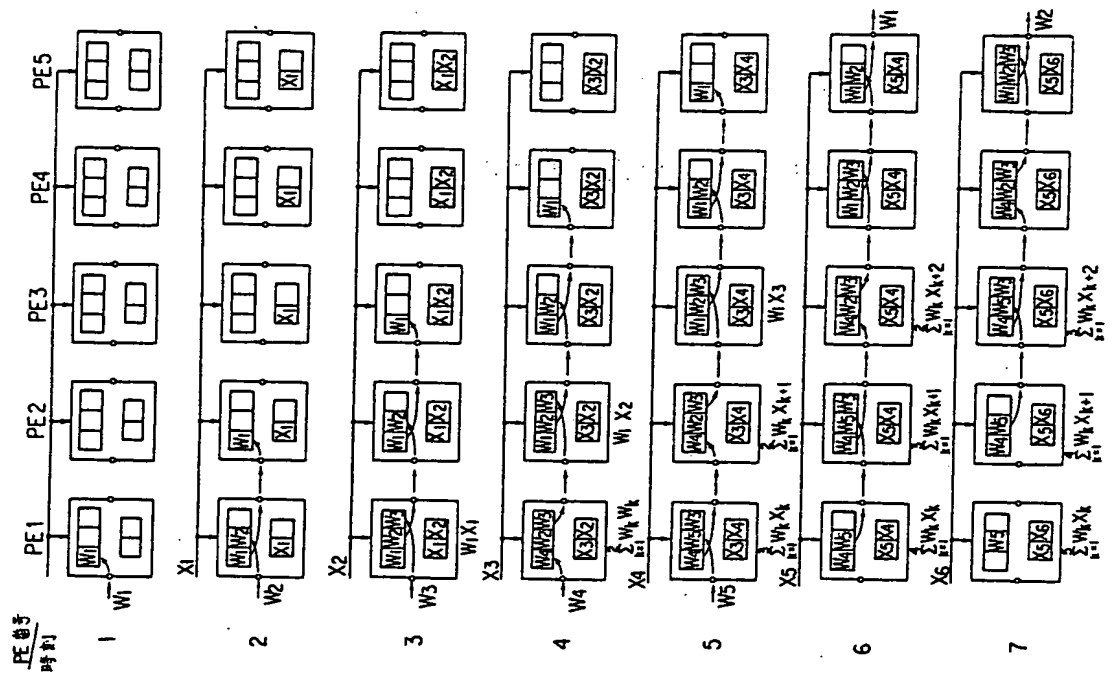
第 8 図



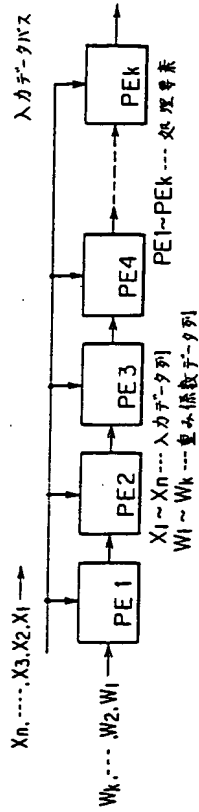
第 9 図



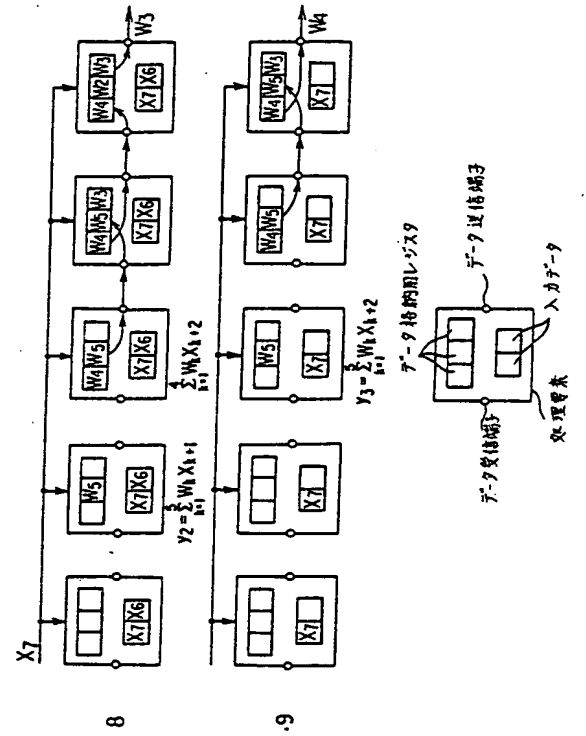
第 11 図 (A)



第 10 図

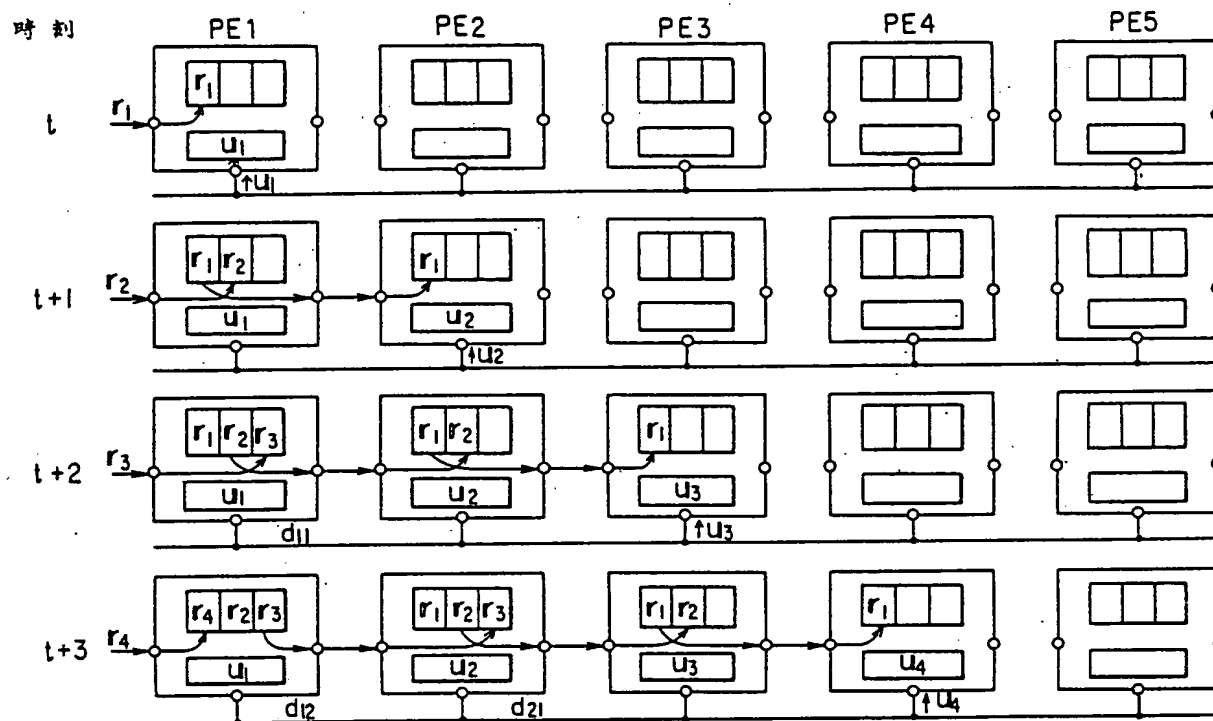


第 11 図 (B)



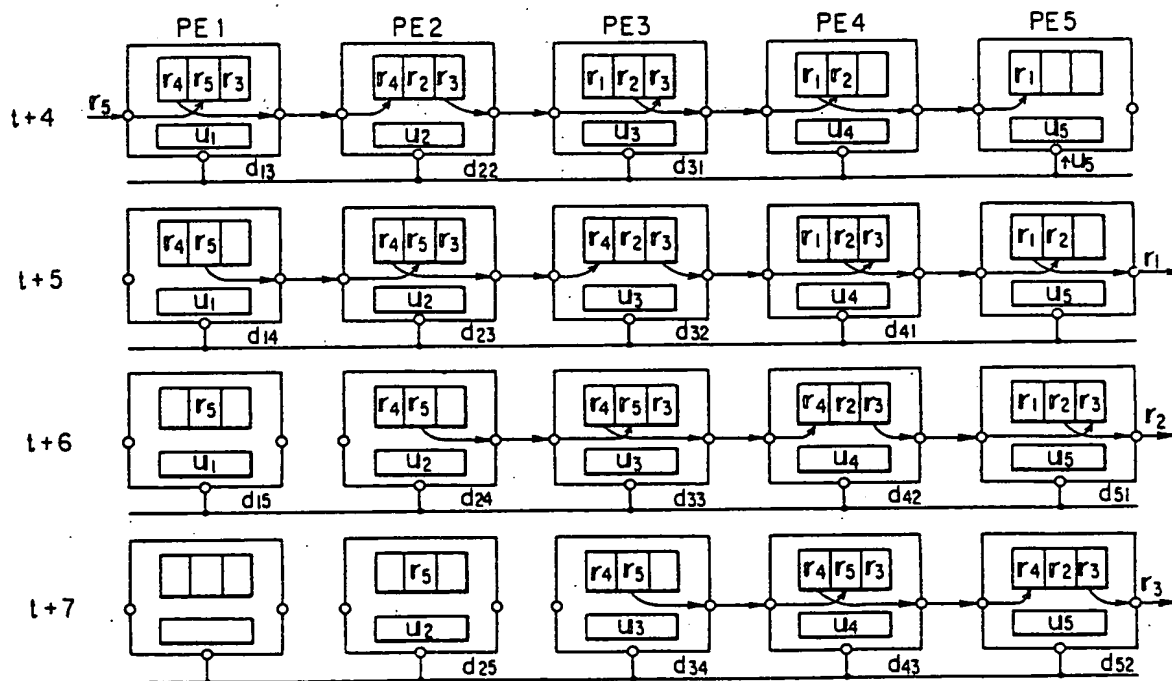
第 12 図

(A)



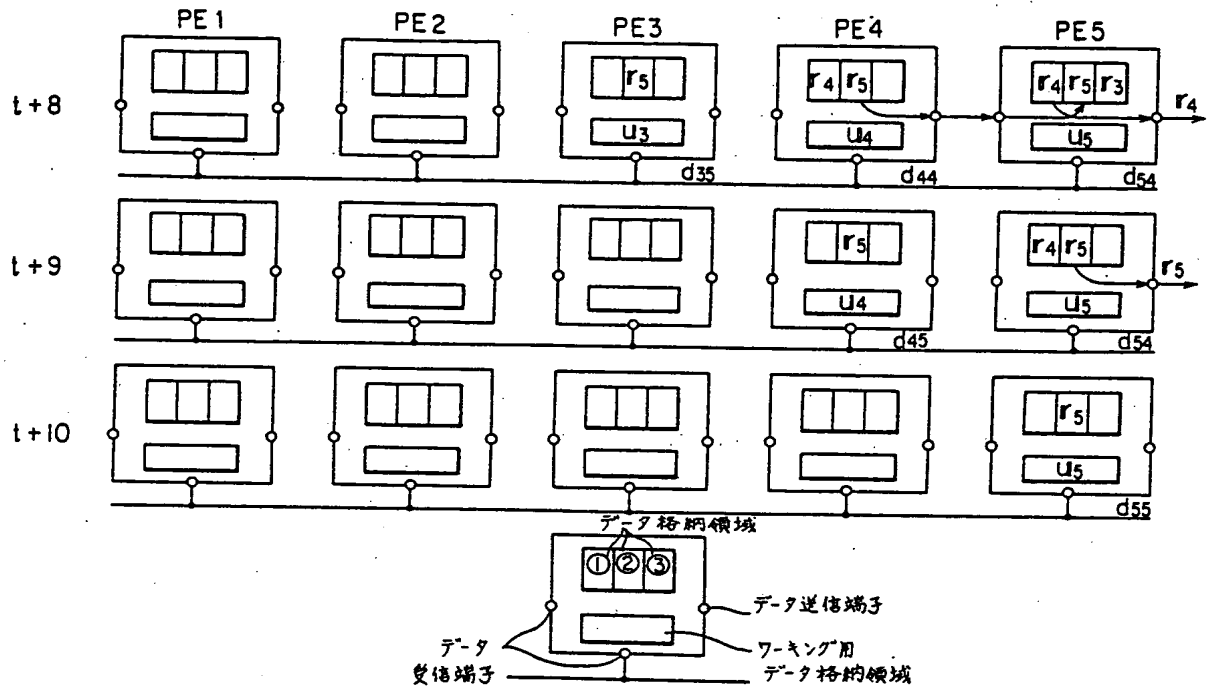
第 12 図

(B)

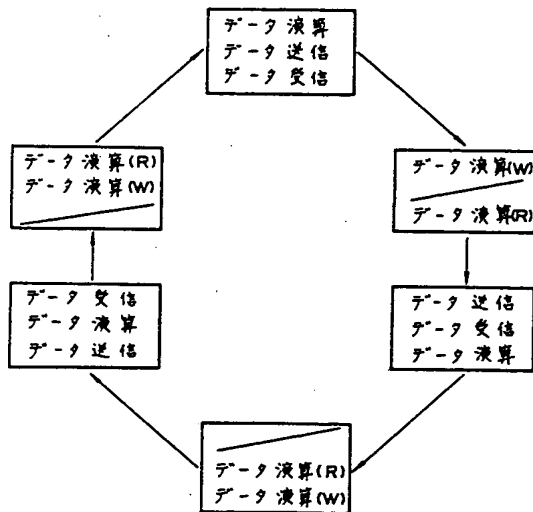


第 12 図

(C)



第 13 図

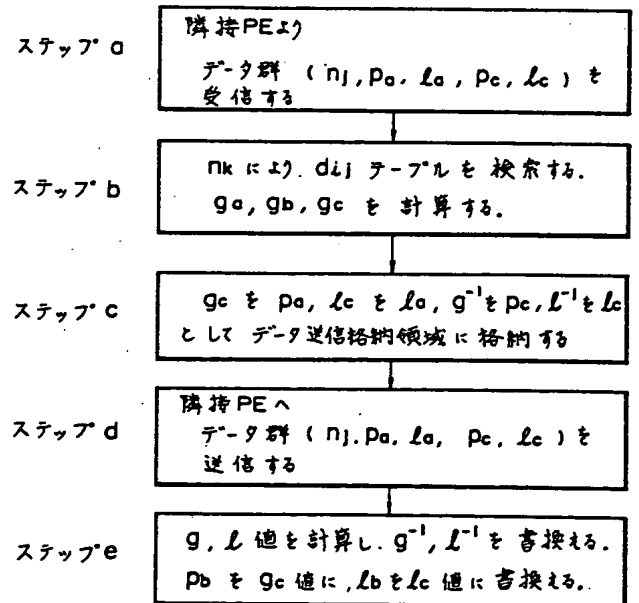


(注1) データ演算(W): データ演算処理用で 書き込み専用
データ演算(R): データ演算処理用で 読み出し専用

(注2) データ格納領域①: 役割
データ格納領域②: 役割
データ格納領域③: 役割

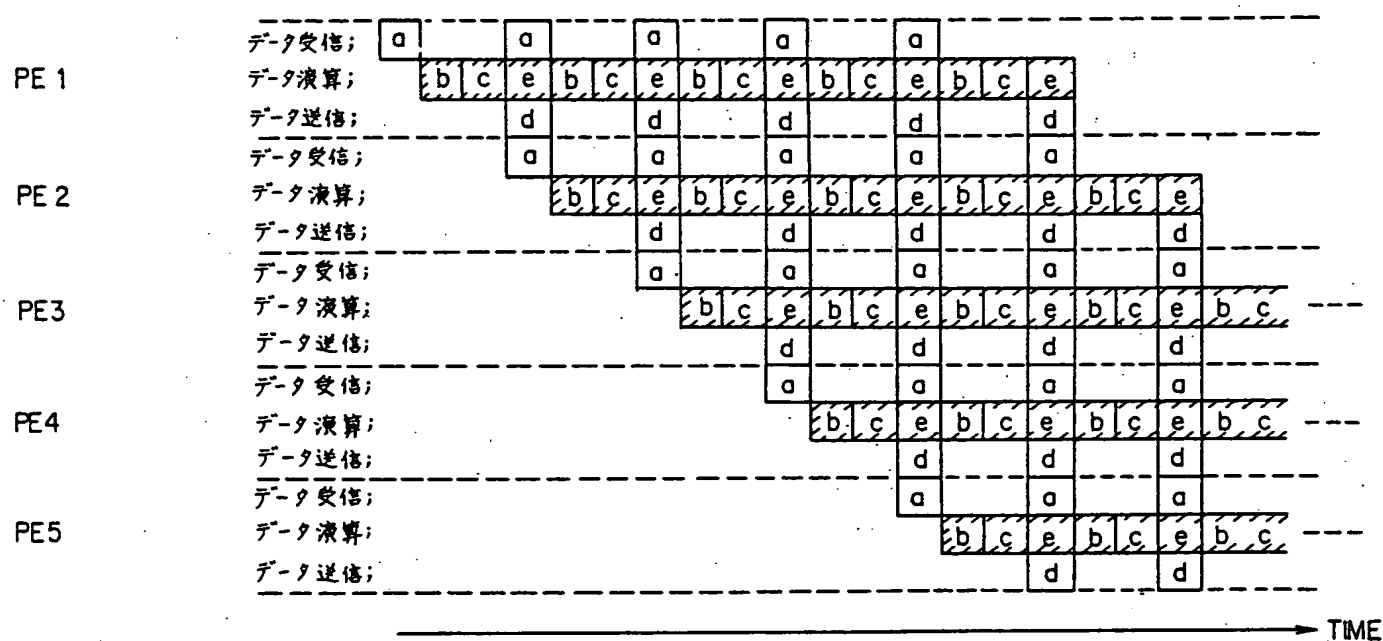
第 14 図

(A)



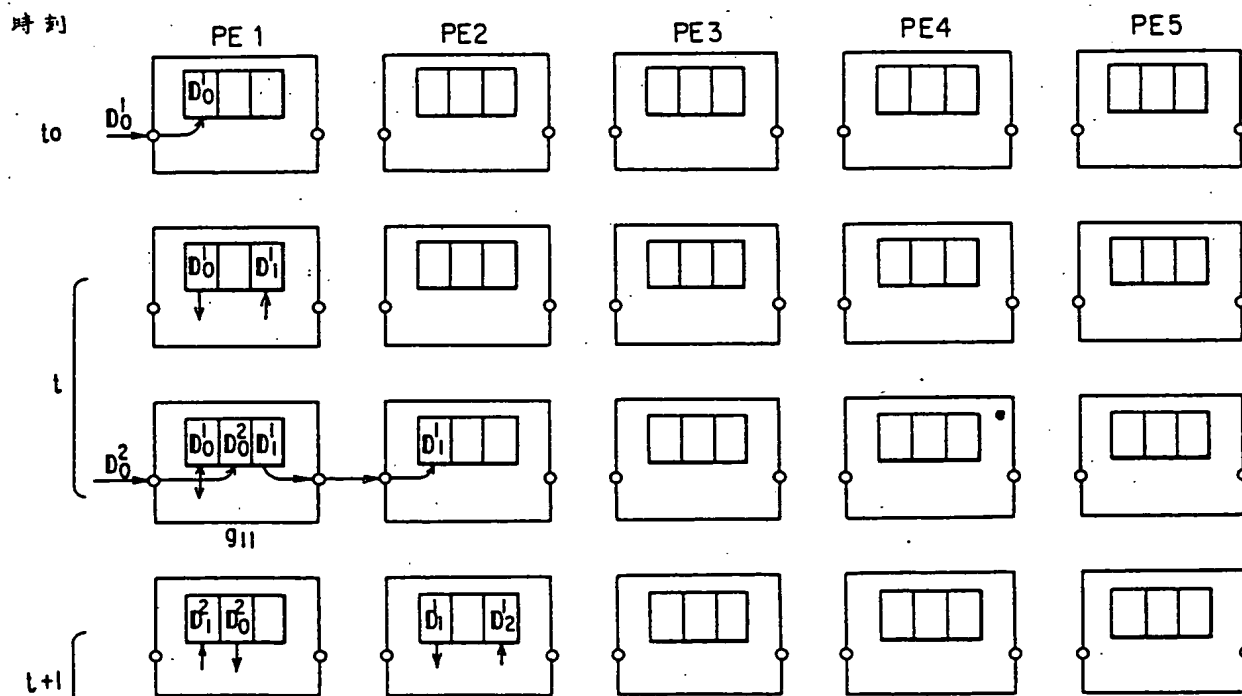
第 14 図

(B)



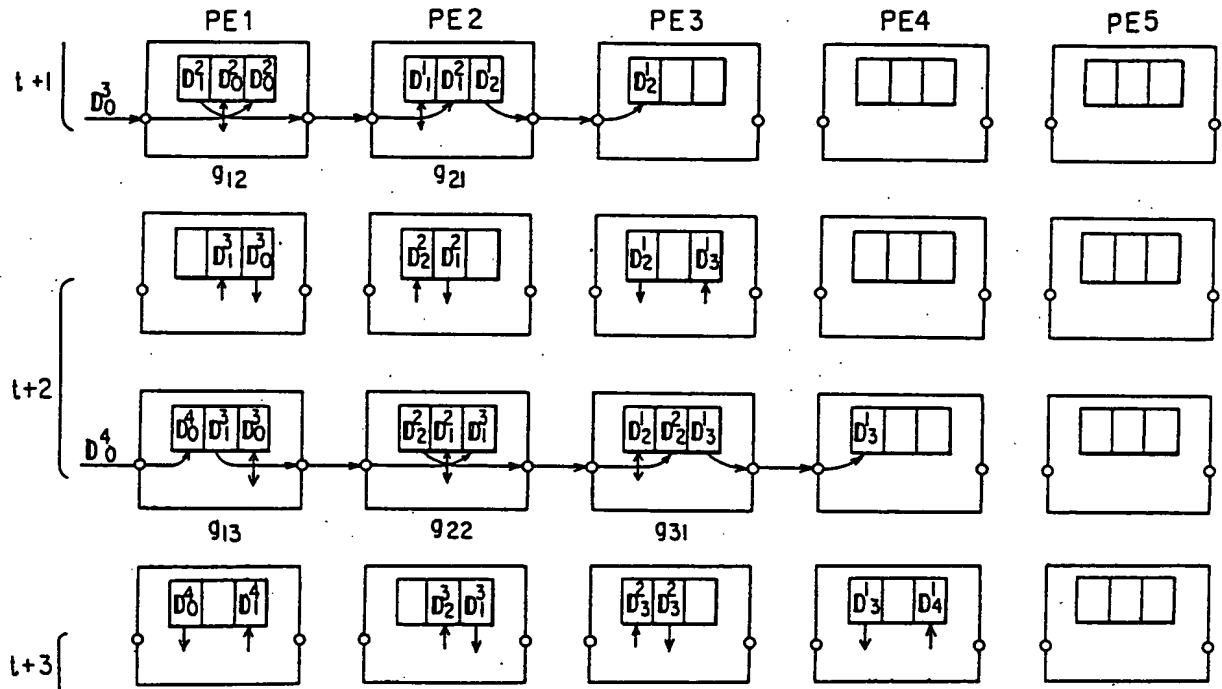
第 15 図

(A)



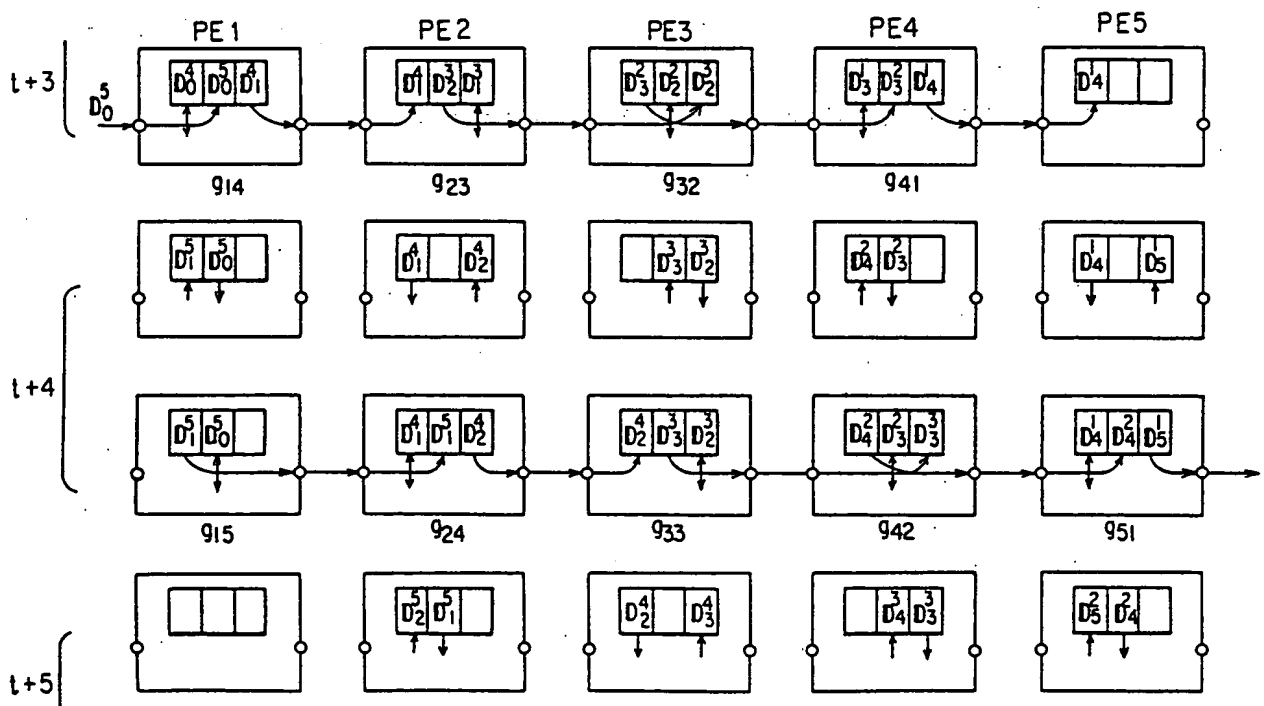
第 15 図

(B)



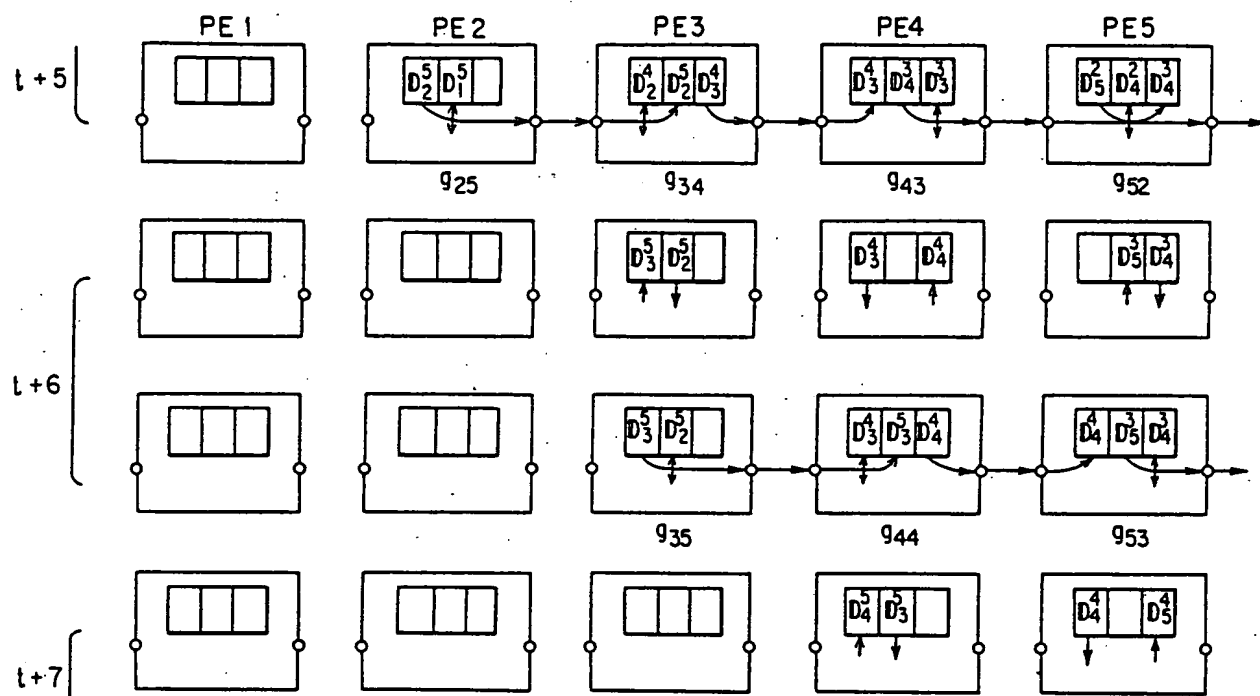
第 15 図

(C)



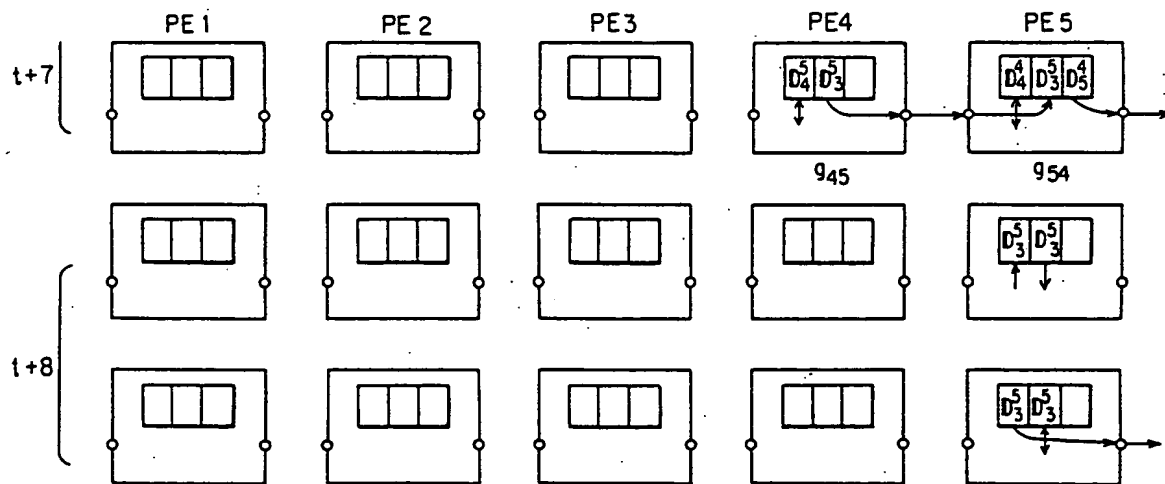
第 15 図

(D)

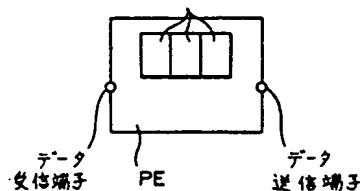


第 15 図

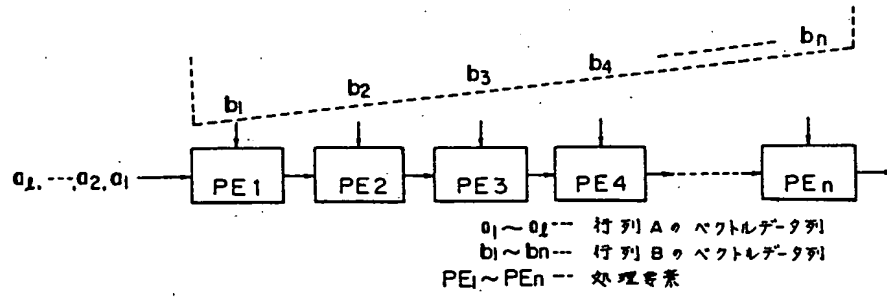
(E)



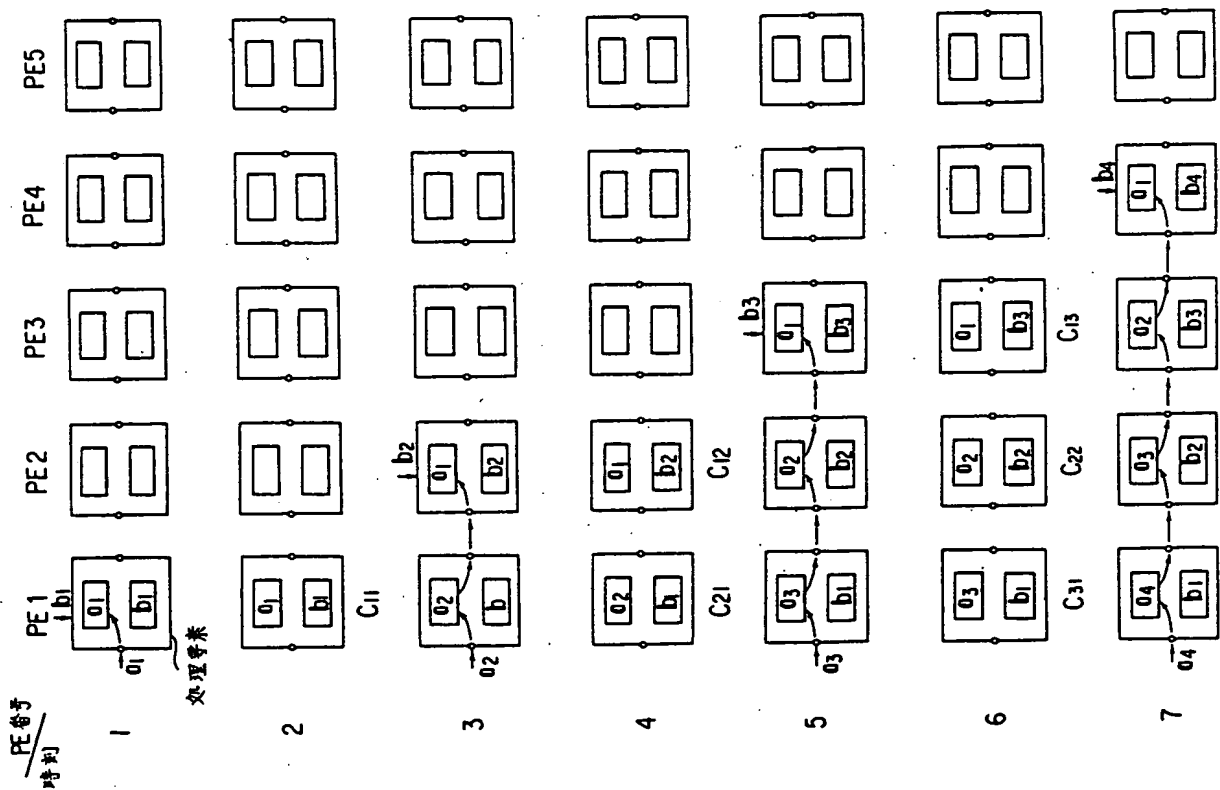
データ格納領域



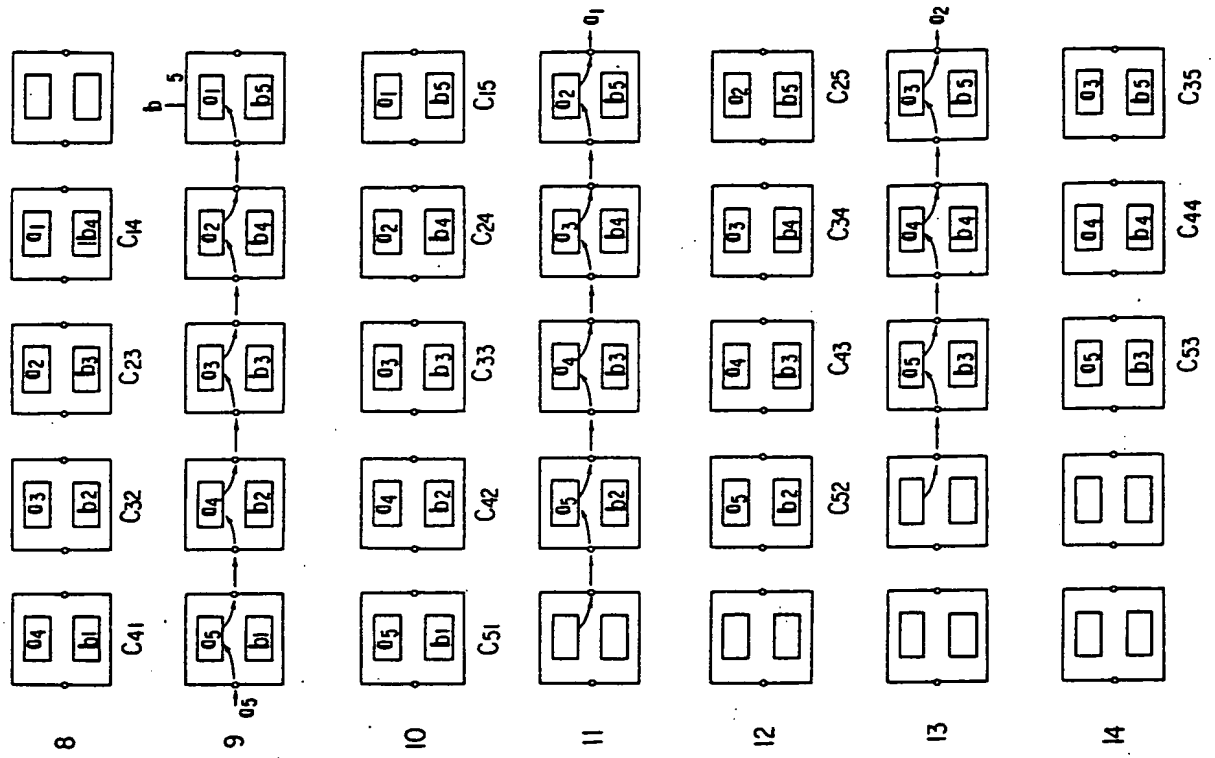
第 16 図



第 17 図
(A)



第 17 図
(B)



第 17 図
(C)

